

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-264794

(43) Date of publication of application : 11.10.1996

(51) Int.CI.

H01L 29/786
H01L 21/331
H01L 29/73

(21) Application number : 07-068270

(71) Applicant : RES DEV CORP OF JAPAN

(22) Date of filing : 27.03.1995

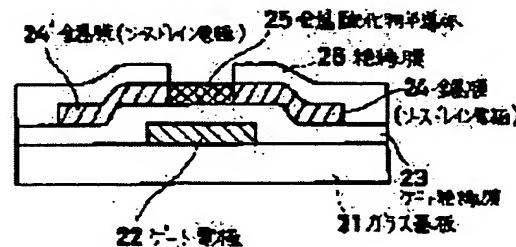
(72) Inventor : MATSUMURA HIDEKI

(54) METAL OXIDE SEMICONDUCTOR DEVICE FORMING A PN JUNCTION WITH A THIN FILM TRANSISTOR OF METAL OXIDE SEMICONDUCTOR OF COPPER SUBOXIDE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To obtain an excellent PN junction by doping controlled metal oxide semiconductor with impurities, by controlling defects by introducing hydrogen or the like in the defects due to the excessive oxygen in a part of metal oxide semiconductor of copper suboxide or the like, and controlling the carrier density and the conductivity type.

CONSTITUTION: A metal oxide semiconductor 25 is metal semiconductor obtained by oxidizing metal films 24, 24'. An insulating protective film is formed on the surfaces of an insulating film 26 and the metal oxide semiconductor 25. By leading out electrodes connected with source drain electrodes 24, 24', a transistor having a gate electrode 22 is formed. The carrier density and the conductivity type are controlled by eliminating oxygen defects. The P-type conductivity or the N-type conductivity, and the resistivity can be controlled by impurity doping. In these cases, ion implantation method or the like can be applied. Thereby a thin film transistor of high mobility can be formed in a large area by low temperature treatment.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 22.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3479375

[Date of registration] 03.10.2003

[Number of appeal against examiner's decision of rejection]

- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264794

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.⁶
H 01 L 29/786
21/331
29/73

識別記号

府内整理番号

F I

H 01 L 29/78
29/72

技術表示箇所

6 1 8 B

審査請求 未請求 請求項の数8 O L (全11頁)

(21)出願番号 特願平7-68270
(22)出願日 平成7年(1995)3月27日

(71)出願人 390014535
新技術事業団
埼玉県川口市本町4丁目1番8号
(72)発明者 松村 英樹
石川県能美郡辰口町大口1-1、A号棟25
号
(74)代理人 弁理士 長谷川 文廣

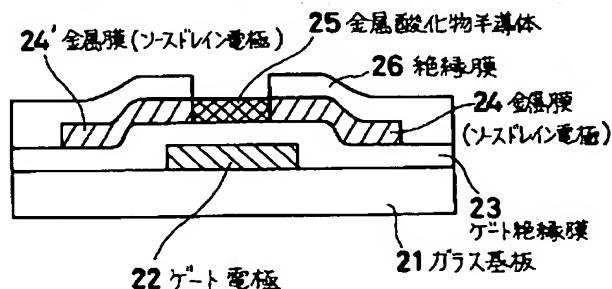
(54)【発明の名称】 亜酸化銅等の金属酸化物半導体による薄膜トランジスタとp n接合を形成した金属酸化物半導体装置およびそれらの製造方法

(57)【要約】 (修正有)

【目的】 低温処理により高移動度の金属酸化物半導体の薄膜トランジスタと、p n接合を形成した金属酸化物薄膜半導体装置及びその安価な製造方法を提供する。

【構成】 ガラス基板21にA1等のゲート電極22を形成しSi酸化膜か窒化膜のゲート絶縁膜23を堆積した上に、銅等の金属膜24、24'を堆積しバターニングしてソース・ドレイン電極を形成する。次にSiNの絶縁膜26を全体に堆積し、ガラス基板の裏面から露光し、ゲート電極バターンをマスクとして絶縁膜26を開孔し、TFTのチャネル部とゲート電極22を自己整合させる。次いで200~400°Cの低温で熱酸化やプラズマ酸化等により、金属膜24の露出した一部領域は酸化して金属酸化物半導体25に変わる。全体を絶縁膜27で被覆し電極取出し部に開孔する。また酸素過剰による欠陥は水素やLi、Na等の導入でキャリア密度及び導電型を制御できる。

本発明の実施例1



【特許請求の範囲】

【請求項1】 基板上に、形成した金属薄膜を酸化処理することにより半導体化した金属酸化物半導体とを備えることを特徴とする金属酸化物半導体による薄膜トランジスタ。

【請求項2】 基板上に備えられたゲート電極と、該ゲート電極上に絶縁膜を介して設けられた金属酸化物半導体の薄膜と、該金属酸化物半導体薄膜に接続された電極とを備えることを特徴とする請求項1に記載の金属酸化物半導体による薄膜トランジスタ。

【請求項3】 該絶縁膜上に設けた金属膜の一部を酸化して得た金属酸化物半導体の最小幅をトンネル電流が流れる程度の幅とすることを特徴とする請求項2に記載の金属酸化物半導体による薄膜トランジスタ。

【請求項4】 金属酸化物半導体-金属-金属酸化物半導体構造であることを特徴とする請求項1に記載の金属酸化物半導体による薄膜トランジスタ。

【請求項5】 基板上に金属薄膜を設け、該金属薄膜を酸化処理することにより第1の導電型を持つ金属酸化物半導体とし、該金属酸化物半導体に第2の導電型不純物を導入して第1の導電型と第2の導電型の接合を形成し、半導体装置とすることを特徴とするpn接合を形成した金属酸化物半導体装置。

【請求項6】 酸素過剰による欠陥を補償する目的で、水素、リチウム、ナトリウム、カリウム、銅、亜鉛、インジウム等の1種もしくは複数種の不純物を金属酸化物半導体に導入し、その金属酸化物半導体のキャリヤ密度および導電型を制御することを特徴とする請求項1。

2. 3. 4に記載の金属酸化物半導体による薄膜トランジスタもしくは請求項5に記載のpn接合を形成した金属酸化物半導体装置の製造方法。

【請求項7】 酸素不足による欠陥を補償する目的で、酸素、水素もしくは周期律表における酸素と同じ族の元素等の1種もしくは複数種の不純物を金属酸化物半導体に導入し、その金属酸化物半導体のキャリヤ密度および導電型を制御することを特徴とする請求項1, 2, 3, 4に記載の金属酸化物半導体による薄膜トランジスタもしくは請求項5に記載のpn接合を形成した金属酸化物半導体装置の製造方法。

【請求項8】 キャリヤ密度および導電型が制御された金属酸化物半導体にイオウ、セレン、フッ素、塩素、リン、砒素、アンチモン等の元素を導入することで導電型を制御することを特徴とする請求項6もしくは7に記載の金属酸化物半導体による薄膜トランジスタもしくはpn接合を形成した金属酸化物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、亜酸化銅等の金属酸化物半導体による薄膜トランジスタとpn接合を形成した金属酸化物半導体装置およびそれらの製造方法に関する

ものである。

【0002】 薄膜トランジスタは液晶ディスプレイ、集積回路、ファクシミリ制御回路等の半導体エレクトロニクスの分野において広く使用されている。本発明は、このような薄膜トランジスタおよびpn接合を有する薄膜半導体装置を金属酸化物半導体により構成したものである。

【0003】

【従来の技術】 液晶ディスプレイ等に使用されるトランジスタは、画素毎に付けられたスイッチング用の薄膜トランジスタと画面全体を制御する高移動度のトランジスタの2種類のトランジスタを必要とする。従来は、このようなトランジスタを得るためにアモルファスシリコンに形成した画素スイッチ用薄膜トランジスタと単結晶シリコンに形成した画面制御用のトランジスタ集積回路を同一基板に貼り合わせるという方法が取られていた。そのため配線が複雑になり、液晶ディスプレイのコストを押し上げる要因になっていた。

【0004】 そこで、画素スイッチ用薄膜トランジスタの製造時に、ディスプレイ用のガラス基板に画面制御用のトランジスタを形成するための様々な方法が開発されてきた。例えば、レーザ熱処理を用いてポリシリコンを作り、それを用いて高移動度の薄膜トランジスタを作る方法等である。しかし、この方法は大面積化に必ずしも有効ではなく安価なガラス基板を使用して低温で作成できる薄膜トランジスタの製造方法の開発が望まれている。

【0005】

【発明が解決しようとする課題】 従来のシリコン半導体薄膜を使用した薄膜トランジスタは上記のように、安価なガラス基板を使用して大面積にわたって低温で形成することは困難であった。また、半導体集積回路の微細化は年々進み、新しい構造のデバイスの開発が必要とされている。

【0006】 本発明は、このような課題を解決することができる新しい構造の金属酸化物半導体による薄膜トランジスタと金属酸化物半導体にpn接合を形成した薄膜半導体装置およびそれら製造方法を提供する。そして、従来はあまり省みられなかった亜酸化銅等の金属酸化物半導体に新しい観点を見出し、半導体集積回路に新しい技術をもたらすものである。

【0007】

【課題を解決するための手段】 亜酸化銅、酸化亜鉛、酸化アルミニウム等の金属酸化物が半導体であることは周知のことである。そして、例えば、亜酸化銅の場合、銅板をアルゴンと酸素ガスを用いてスパッタすることや、銅板を単純に熱酸化することなどによって得ることができる。金属酸化物半導体は、このように簡単に作れ、かつ、大面積化も容易であることから太陽電池への応用が考えられてきたが、亜酸化銅などでは金属酸化物中の過

剩酸素による欠陥の作るアクセプタの密度の制御が少なくとも従来はできなかつたので、p n接合ができず、そのため、亜酸化銅等の金属酸化物半導体は半導体研究の主流から忘れられ、半導体装置として実用化をされていなかつた。

【0008】ところで、この金属酸化物半導体にも注目すべき長所があり、亜酸化銅の場合、低温で作成したにもかかわらずそのキャリヤ移動度は数 $10 \text{ cm}^2/\text{Vs}$ と比較的に大きいものである。さらに、このような金属酸化物半導体は、金属膜を後から低温酸化しても得ることができる。つまり、金属薄膜の一部を局所的に金属酸化物半導体に変えることができる。このことは、亜酸化銅等の金属酸化物を用いた薄膜トランジスタ等の電子デバイスの製作工程を簡略することができるばかりか、新しい超微細構造のデバイスの製作を容易ならしめるもので、シリコン等の金属酸化物半導体以外の半導体を用いたのでは実現できないことである。

【0009】本発明は、このような金属酸化物半導体により薄膜トランジスタを作成するようにした。また、亜酸化銅等の金属酸化物半導体の一部で知られている過剰な酸素による欠陥に対して水素等を導入することで欠陥を制御して、キャリヤ密度および導電型を制御するようにし、そのように制御された金属酸化物半導体に対して、不純物をドープし良好なp n接合が得られるようにした。さらに逆に酸素が不足することで欠陥が生じている酸化亜鉛等の金属酸化物半導体に対しては酸素、水素等を導入することにより欠陥を制御して、キャリヤ密度および導電型を制御するようにし、そのように制御された金属酸化物半導体に対して、不純物をドープし良好なp n接合が得られるようにした。

【0010】図1は本発明の基本構成(1)を薄膜トランジスタをゲート電極を持つ構造の場合について例示的に示し、その製造方法の原理を説明するものである。図1(a), (b)において、1は基板である。

【0011】2は電極金属である。3は絶縁膜である。4は金属膜であって、銅、亜鉛等の酸化処理することにより半導体となるものである。金属膜の膜厚は、例えば、0.3 μm 程度であり、酸化処理後は0.6 μm 程度の薄膜である。

【0012】5は金属膜4を酸化処理することにより生成した金属酸化物半導体である。図1(a)の構造に対して、保護膜(図示せず)を形成して引き出し電極を形成することにより、例えば電極金属2をゲート電極とする薄膜トランジスタを作成することができる。

【0013】図1(b)は図1(a)の構造の製造方法を示す。図示の番号の順に製造方法を説明する。

(1) 絶縁物、シリコン半導体等の基板1に電極金属2を形成し、絶縁膜3で被覆する。

【0014】(2) 絶縁膜3の上に、例えば、銅、亜鉛等の金属膜4を形成する。

(3) 金属膜4の一部の領域をイオン注入、熱酸化、プラズマ酸化等で酸化処理する。

【0015】さらに、必要ならば、金属酸化物半導体領域に対して、水素を導入する等で金属酸化物半導体の過剰な酸素による欠陥を制御して、キャリヤ密度および導電型を制御するようにする。あるいは、酸素が不足したことにより欠陥を生じている場合には、酸素もしくは水素等を導入することにより欠陥を制御して、キャリヤ密度および導電型を制御するようにする。

【0016】図2は本発明の基本構成(2)であり、p n接合を持つ金属酸化物半導体についての原理的構造と製造方法を説明するものである。図2(a)は原理的構造であり、図2(b)はその製造方法の原理を示す。

【0017】図2(a)において、11は基板である13は金属酸化物半導体であって、第1の導電型の半導体である。

【0018】15は接合部である。16は金属酸化物半導体であって、第2の導電型の半導体である。図2(a)に対して、保護膜、電極を形成することによりダイオードとし、あるいは接合の数を増やしてトランジスタとする等で半導体装置とすることができる。

【0019】図2(b)は図2(a)の原理的構造の製造方法である。図2(b)において、11は基板である。

【0020】12は金属膜であって、銅、亜鉛等の酸化処理することにより半導体となるものである。13は金属酸化物半導体(第1の導電体)である。

【0021】14は真性半導体化領域であって、金属酸化物半導体13に水素等を照射し、金属酸化物半導体(第1の導電体)13の過剰な酸素に対して欠陥を除去し、真性半導体化した領域である。あるいは酸素が不足して欠陥を生じている場合には酸素もしくは水素等を導入して欠陥を除去し、真性半導体化したものである。

【0022】15は接合部である。16は第2の導電型の金属酸化物半導体であって、真性半導体化領域14に第2導電型とする不純物(例えば、塩素等)をドープした金属酸化物半導体装置である。

【0023】図2(b)により、図2(a)の薄膜半導体装置の製造方法について説明する。

(1) 基板11に金属膜12を形成する(例えば、厚さ0.3 μm)。

(2) 金属膜12を酸化処理し、第1の導電体型の金属酸化物半導体13とする。

【0024】(3) 金属酸化物半導体13の酸素の過不足による欠陥を除去する等で真性半導体化する。

(4) 真性半導体化領域14に第2の導電型の不純物をドープし、第1の導電型の金属酸化物半導体13とp n接合を形成する。

【0025】

【作用】本発明によれば、低温処理により高移動度の薄膜トランジスタおよびp n接合を持つ金属酸化物薄膜半

導体を低成本で製造することができる。また、後述するが、金属酸化物半導体は高温の熱処理にも耐えるとともに高温アニールにより移動度も高くなるので、高温熱処理する集積回路技術に対しても新しい適用を可能とするものである。

【0026】なお、図1の本発明の基本構成(1)では、ゲート電極を持つ構造の薄膜トランジスタについて説明したが、メタルベーストランジスタ等の他の構造の薄膜トランジスタに対しても適用できるものである。また、図1の本発明の基本構成によれば金属酸化物半導体の幅をトンネル電流が流れる程度にすることができるので、この点からも本発明によれば、微小電流で高速動作する新しい集積回路技術を切り開くことができるものである。

【0027】

【実施例】本発明の金属酸化物半導体として亜酸化銅を使用する場合について実施例を説明する。

【0028】図3は本発明で使用する酸化物半導体の特性の例を示す図である。図3は、アルゴン中で、銅薄膜を室温でスパッタ法により堆積した後、その銅薄膜を250°C前後の温度で熱酸化して得られた亜酸化銅半導体のキャリヤ密度をホール効果により求まる移動度の関係を実測した結果を示したものである。

【0029】この時、亜酸化銅の極性は、p型である。キャリヤ密度は 10^{16} cm^{-3} 以下と小さく、移動度は数 $10 \text{ cm}^2/\text{V}\cdot\text{s}$ である。このキャリヤは過剰酸素による欠陥が作るアクセプタから供給されているものであるが、この方法で作られた亜酸化銅のキャリヤ密度は低いので、酸素に作用して過剰酸素の欠陥を除去できる水素、ナトリウム、カリウム、銅、亜鉛などを 10^{11} から 10^{12} cm^{-2} ほどイオン注入することで容易にキャリヤ密度の制御が可能である。イオン注入のドープ量がこのように低いので、イオン注入によって発生する欠陥も少なく抑えることができ、400°C程度の以下の低温の熱処理でも、十分にイオン注入による欠陥を除去することができる。

【0030】本発明は、このような亜酸化銅等の酸化物半導体の持つ性質に着目し、これを用いて低温で薄膜トランジスタを製造するようにしたものである。なお、本発明は、亜酸化銅のみならず、酸化亜鉛、酸化アルミニウム、酸化タンタル等の他の金属酸化物半導体に対しても適用できるものである。

【0031】図4は本発明の実施例1であって、薄膜トランジスタである。図4において、21はガラス基板である(図1(a)の基板1に相当する)。

【0032】22はゲート電極である(図1(a)の電極金属2に相当する)。23はゲート絶縁膜である(図1(a)の絶縁膜3に相当する)。24、24'は金属膜であって、ソース、ドレイン電極である。

【0033】25は金属酸化物半導体であって、金属膜

24、24'を酸化処理して得られた金属半導体である。26は絶縁膜である。

【0034】図4において、絶縁膜26、金属酸化物半導体25の表面にさらに絶縁保護膜(図5工程(6)参照)を形成し、ソース、ドレイン電極24、24'に接続する電極を引き出すことによりゲート電極22を持つ薄膜トランジスタとする。

【0035】図5は図4の薄膜トランジスタの製造方法を示す。

10 工程(1) ガラス基板21にクロムあるいはアルミニウム等の金属を堆積し、それをフォトレジスト加工により、ゲート電極となるよう成型する。この工程で、まず、第1のパターンマスクを用いる。また、本発明では、全て低温度で処理するのでここに使用するガラスは高価格の高融点ガラスである必要はない。

【0036】工程(2) 全体にシリコン酸化膜あるいはシリコン窒化膜等のゲート絶縁膜を堆積する。

工程(3) 銅等の金属酸化物半導体となる薄膜の金属膜24、24'を堆積し、フォトレジスト加工により、ソース、ドレイン部を含めたトランジスタのパターン、およびソース、ドレインからの接続配線部のパターン(図示せず)も含めて成型する。この時、第2のパターンマスクを用いる。

【0037】工程(4) 次の酸化工程のマスクとなる膜、例えばシリコン窒化膜などを全体に堆積する。この時、フォトレジスト膜を用いることもできる。そして、これらの膜を堆積した後に、ガラス基板21の裏面より露光し、工程(1)で作成したゲート電極のパターンをマスクとしてフォトレジスト膜を露光し、その膜にフォトレジスト加工により孔を開ける。この工程で、薄膜トランジスタのチャネル部とゲート電極22を自己整合させる。

【0038】工程(5) では、200°Cから400°C程度の間の低温で全体を熱酸化、もしくはプラズマ酸化などをすることにより、開口から露出した金属膜24を酸化し、金属酸化物半導体に変化させる(工程(4)で絶縁膜26には孔を開けられている)。

【0039】工程(6) 形成されたトランジスタの全体をシリコン窒化膜等の絶縁膜で被覆し、かつフォトレジスト加工により電極取り出し部に孔を開ける。この時、第3のマスクパターンを用いる。

【0040】上記のように、本実施例によればマスクパターンを3枚で薄膜トランジスタを製造することができる。なお、上記の工程において、工程(5)の金属膜の酸化は、酸素イオン注入の他、熱酸化、プラズマ酸化、酸素イオン照射、レーザー酸素ドーピング等の手段により行うことができる。

【0041】また、酸素欠陥を除去することによりキャリヤ密度、導電型を制御したり、あるいは不純物ドーピングによりp、n型の導電型の制御、抵抗率等の制御を

する必要がある場合には、工程(5)と工程(6)の間で、イオン注入法、イオンドーピング法、熱拡散法、プラズマ熱酸化法、あるいはレーザドーピング法等の手段で行うことができる。

【0042】このとき、酸素過剰による欠陥(亜酸化銅の場合)を補償する目的で水素、リチウム、ナトリウム、カリウム、銅、インジウム、亜鉛等の1種もしくは複数種の不純物を金属酸化物半導体に導入し、その導体のキャリヤ密度および導電型を制御することができる。酸素を照射した場合には欠陥が増え抵抗を増加させる。

【0043】さらに、上記のようにキャリヤ密度および導電型が制御された金属酸化物半導体に弗素、塩素、リン、砒素、アンチモン等の元素を導入することで導電型を制御することもできる。

【0044】図6は本実施例1の方法で作成された薄膜トランジスタの特性の例である。図6の特性の薄膜トランジスタは次のようなものである。金属酸化物半導体は亜酸化銅である。ゲート絶縁膜はシリコン酸化膜であり、ゲート電極は低抵抗の結晶シリコンである。

【0045】亜酸化銅は、銅薄膜を室温でアルゴンガスを用いたスパッタ法により約80秒ほどの時間で堆積した銅薄膜を350°Cで約18分間、熱酸化することにより作られている。この薄膜トランジスタにおいては、チャネル長L=50μm、チャネル幅175μmである。図6は薄膜トランジスタのソース・ドレイン間電流I_{ds}の平方根をゲート・ソース間電圧V_{cs}の関数としてその特性を示している。この傾きから移動度を求めることができる。図6の例は移動度が約100cm²/Vsである。

【0046】本発明によれば、移動度が数10cm²/Vsから100cm²/Vs近くまでの大きなものが得られる。図7は本発明の実施例2であり、メタルベーストランジスタに本発明を適用したものである。

【0047】図7(a)はメタルベーストランジスタの構造であり、図7(b)、図7(c)はその製造方法を説明するものである。図7(a)において、30は基板である。

【0048】30'は金属膜(亜酸化銅)である。31は金属酸化物半導体であって、亜酸化銅(p型)でありエミッタである。32は金属ベースであって、銅である(厚さ約10Å～50Å)。

【0049】33は金属酸化物半導体であって、亜酸化銅(p型)でありコレクタである。図7(a)において、電極配線は図示を省略されている。図7(b)により、図7(a)のメタルベーストランジスタの製造方法を説明する。金属膜として銅を使用するものとする。

(1) 基板(ガラス、石英、シリコン等)30に銅を厚さ約0.3μm程度にスパッタ法により形成する。

【0050】(2) 電気炉中で銅30"の表面を熱酸化し、厚さ0.1μmだけ銅30"を消費して約0.2μmの厚さの亜酸化銅の膜31'を形成する。このとき、

250°Cで約15分ぐらい乾燥酸素中で熱酸化する。【0051】(3) これに再度、銅を室温で堆積する。膜厚は約0.1μmである。

(4) 再び、電気炉中で、新たに堆積した銅の表面のうちのほとんど全ての部分を熱酸化して亜酸化銅に変える。このとき、酸化時間を微妙に制御して極く薄い銅の膜32'(厚さ0.001～0.005μm)を残してメタルベーストランジスタのベースとする。この時の熱酸化条件は、200°C、160分前後である。

10 【0052】図7(b)における酸化の過程において、図7(c)(2)に示すように、亜酸化銅33'の表面を窒化シリコン膜で被覆すると、図7(c)(3)のようにベース電極の取り出し口を容易にすることができます。

【0053】図8は本発明の実施例3である。図8は、ゲート電極を備える薄膜トランジスタにおいてソース・ドレイン電極間の金属絶縁体半導体の幅をトンネル電流が流れる程度に狭くし、ゲート電圧によってトンネル電流を制御するようとしたものである。

【0054】図8(a)は構造であり、図8(b)はその特性の例である。

図8(a)

121は基板であって、ガラス、シリコン等である。

【0055】122はゲート電極である。123はゲート絶縁膜である。124、124'は金属膜であって、ソース電極、ドレイン電極となるものである。

【0056】125は金属酸化物半導体である。126はギャップであって、金属酸化物半導体の125の最小幅(金属膜124と金属膜124'の間の最小幅)であって、金属膜(ドレイン電極)124と金属膜(ソース電極)124'間の金属酸化物半導体125にトンネル電流が流れる程度のものである。例えば、約0.005～0.01μm程度である。

【0057】このようにすることにより、ゲート電極122の電圧によるソース・ドレイン間電流I_{ds}の急峻な立ち上がり特性を得ることができる。そのため、動作が高速化し、微小電流で動作することができます。

【0058】図8(b)は図8(a)の薄膜トランジスタの特性の例である。横軸はソース電極124'とドレイン電極124間の電圧V_{ds}であり、縦軸はソース電極124'とドレイン電極124間の電流I_{ds}である。パラメータはゲート電圧V_{cs}、(ソース電極124'とゲート電極124間電圧)である。

【0059】例えば、ゲート電圧をV_{cs}'としておいてV_{ds}をしだいに大きくするとV_{ds}'の電圧でソース電極124'とドレイン電極124の間にトンネル電流が流れ、図8(b)のように立ち上がり特性の急峻な特性が得られる(V_{cs}で制御することもできる)。

【0060】図9(a)は図9の本発明の実施例3の製造方法を示す図である。図9(a)、図9(b)、図9(c)において、121は基板である。

【0061】122はゲート電極である。123はゲート絶縁膜である。124、124'は金属膜であって、ソース電極、ドレイン電極となるものである。

【0062】125は金属酸化物半導体である。128はマスク用絶縁膜であって、窒化シリコン等の膜である。図9(a)の(2)は、エッチングによりマスク用絶縁膜128に開口を設けた後の状態を示す。

【0063】130はフォトレジストマスクである。図9(a)において、

(1) 基板121にゲート電極を形成し、さらにその全面をゲート絶縁膜123で被覆する(厚さ約0.02μm)。その上に、銅、亜鉛、アルミニウム等の金属膜124をスパッタ法等で形成する(厚さ約0.05μm)。

(2) 金属膜124の全面にマスク用絶縁膜128形成する。その上にフォトレジストを塗布しマスクを使用して露光し、フォトレジストマスク130を作る。そして、フォトレジストマスク130によりマスク用絶縁膜をエッチングし、図9(a)の(2)のような開口部を持つマスク用絶縁膜128を作成する。このとき、エッチング特性により図8(b)のように上部で広く、下部で狭い開口が得られるので、エッチング時間を調整することにより、マスク用絶縁膜128の開口の下部をリソグラフィの限界より狭くすることができる。

【0064】(3) (2)の状態において、マスク用絶縁膜128をマスクとして金属膜124を酸化し、マスク用絶縁膜を除去する。このとき、酸化の形状は、図9(c)に示すように開口部の上部で広く、下部で狭い形状となる。この性質を利用して、金属酸化物半導体125の最小幅をトンネル電流が流れる程度の狭いものとすることができる。

【0065】図10は本発明の実施例4であって、金属酸化物半導体によりバイポーラトランジスタを構成した別の実施例である。本発明は、金属絶縁物半導体の酸素の過不足による欠陥を補償する目的で金属絶縁物半導体に不純物を導入することにより、キャリヤ密度および導電型を制御し、半導体装置へ適用できるようにしたものである。例えば、不純物として水素、リチウム、ナトリウム、カリウム、銅、インジウム等を金属酸化物半導体に導入することにより亜酸化銅等の金属酸化物半導体の過剰な酸素による結果を除去し、キャリヤ密度、導電型を制御することができる。そのようにキャリヤ密度および導電型を制御した金属半導体に対して、さらに、弗素、塩素、リン、砒素、アンチモン等の元素を導入することで導電型を制御することにより良好なpn接合を作成することができる。

【0066】図10において、60は基板であって、ガラス、石英、シリコン等である。60'は金属膜(銅)である。

【0067】61は金属酸化物半導体(p型)であっ

て、亜酸化銅でありコレクタである。62は金属酸化物半導体(n型)であって、亜酸化銅でありベースである。63は金属酸化物半導体(p型)であって、亜酸化銅でありエミッタである。

【0068】図10において、電極の引き出し線は省略されている。図10のバイポーラトランジスタの製造方法について説明する。

(1) 基板(ガラス、シリコン等)60に室温で銅をスパッタ法により堆積する。膜厚は下部に電極として0.2μmの銅を残したまま、全て厚さ0.8μmの亜酸化銅とするため、0.6μm程度である。

【0069】(2) 250°C、6時間程度乾燥酸素中で熱酸化し、0.8μmの亜酸化銅の膜を作る。250°Cでは絶縁体である酸化銅(本発明者等の研究によりCuO)が亜酸化銅(Cu₂O)の代わりに作られてしまうことはないことが明確にされている。350°C以上の熱酸化では絶縁性の酸化銅が表面に生じる)。

【0070】(3) この亜酸化銅をアルゴンの雰囲気中で800°C、30分の熱処理をすることにより特性を向上させる(本発明者等の研究により、250°Cの熱酸化で作られた亜酸化銅は800°Cの熱処理にも耐えられ、さらにモビリティ等の特性も向上することが明らかにされている(図11参照))。

【0071】(4) Li、Na、Kなどの金属、Inなどの銅サイトに入って不足銅成分を補う元素をイオン注入し、その後のアルゴン雰囲気中800°C、30分の熱処理により、n型亜酸化銅を形成する。この時、n型を形成する不純物としては他に、Se、S、F、Cl、Br、I等が考えられる。また、P、Si、As等も考えられる。

【0072】(5) さらに(4)で作られたn型層の表面部を再度p型に反転する目的でイオン注入を行う。その後、800°C、30分の熱処理を行う。

・なお、上記において、(3)、(4)、(5)は、図10(b)のようにイオン注入しておき1回の熱処理で行うことができる。

【0073】また、工程(4)までとしてダイオードとしても良い。図11は本発明で使用する亜酸化銅のアニール温度による亜酸化銅の特性変化を示す図である。

【0074】図11は、アニール時間30分として、アニール温度により亜酸化銅のホール移動度、キャリヤ密度、抵抗の変化をアニール前とアニール後により比較したものである。横軸はアニール温度である。

【0075】図11に示すように、亜酸化銅はアニール温度によりアニール前に比較して良好な特性に変化することが示されている。特に、800°C程度の高温でもアニールに耐え、移動度も高くなることから、高温処理の半導体回路としても利用できることが示されている。

【0076】図12は本発明の実施例5であって、その

ようにして、金属酸化物半導体により、バイポーラトランジスタを構成したものである。図12において、41は基板である。

【0077】42は金属酸化物半導体(p型)であって、コレクタである。43は絶縁膜1である。44は金属酸化物半導体であって、n型のベースである。

【0078】45は電極線1であって、金属酸化物半導体(n型)(ベース)44の引き出し線である。46は絶縁膜2である。

【0079】47は金属酸化物半導体(p型)であって、エミッタである。48は電極配線2であって、エミッタ47の引き出し線である。図12の実施例5のバイポーラトランジスタの製造方法について説明する。

【0080】(1) 基板41上に金属酸化物半導体(p型)42を形成する。さらに、金属酸化物半導体42上に絶縁膜1(43)を形成する。

(2) 絶縁膜1(43)をエッチングしてベース領域形成用の開口50を設け、前述した方法により金属酸化物半導体層42の表面に不純物をドープし、導電型をn型としてpn接合を形成する。さらに、ベース引き出し電極線45を配線する。

【0081】(3) (2)の状態で全面に絶縁膜1(43)を設け、エッチングによりエミッタ領域形成用の開口51を設け、前述の導電型の制御方法によりベース領域の一部の導電型をp型にすることによりpn接合を形成する。その後、エミッタ引き出し電極47を設ける。

【0082】以後、表面保護膜(図示せず)等を形成してバイポーラトランジスタとする。なお、上記において、亜酸化銅等の金属酸化物半導体が、もともと内部に含む元素またはある種の物質を、中性子照射による核反応、もしくは水素原子照射による核反応など、結果的に元素またはある種の物質が酸素に変化する反応により、金属の一部または全部が反応して形成されるようにしても良い。

【0083】

【発明の効果】本発明によれば、低温処理により高移動度の薄膜トランジスタを大面积に作成することができる。また製造コストも低くすることができる。

【0084】さらに、本発明によれば金属酸化物半導体にpn接合を良好に作成することができ、pn接合を持つ金属酸化物薄膜半導体を低成本で製造することができる。

【0085】また、本発明によれば、金属薄膜の一部をトンネル電流が流せるほどの微小な幅の金属酸化物半導体を得ることが可能なので、全く新しい原理で動作する超微細トランジスタを製作し、超LSIの集積度を飛躍的に高めかつ信号処理時間も飛躍的に速めた超LSIを作成することができる。

【図面の簡単な説明】

【図1】本発明の基本構成(1)を示す図である。

【図2】本発明の基本構成(2)を示す図である。

【図3】本発明で使用する金属酸化物半導体の特性の例を示す図である。

【図4】本発明の実施例1を示す図である。

【図5】本発明の実施例1の製造方法を示す図である。

【図6】本発明の実施例1の特性の例を示す図である。

【図7】本発明の実施例2を示す図である。

【図8】本発明の実施例3を示す図である。

【図9】本発明の実施例3の製造方法を示す図である。

【図10】本発明の実施例4を示す図である。

【図11】本発明実施例のアニール温度による亜酸化銅の変化を示す図である。

【図12】本発明の実施例5を示す図である。

【符号の説明】

1 : 基板

2 : 電極金属

3 : 絶縁膜

4 : 金属膜

5 : 金属酸化物半導体

11 : 基板

12 : 金属膜

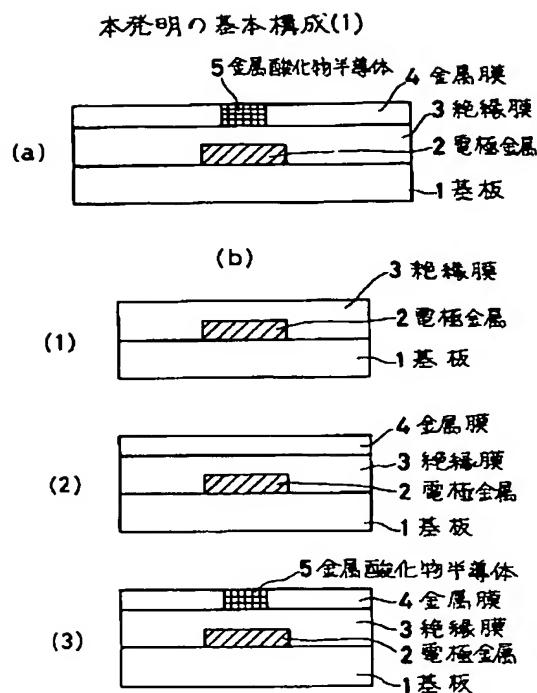
13 : 金属酸化物半導体(第1の導電型)

14 : 真性半導体化領域

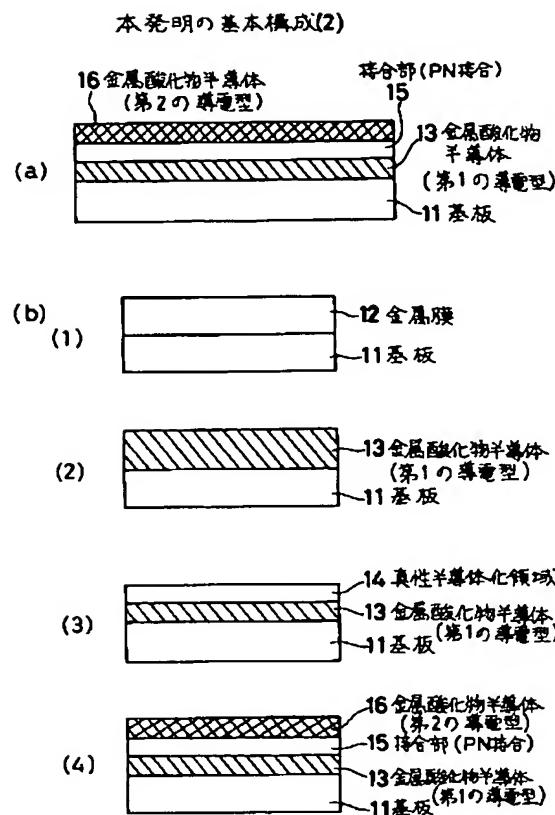
15 : 接合部(pn接合)

16 : 金属酸化物半導体(第2の導電型)

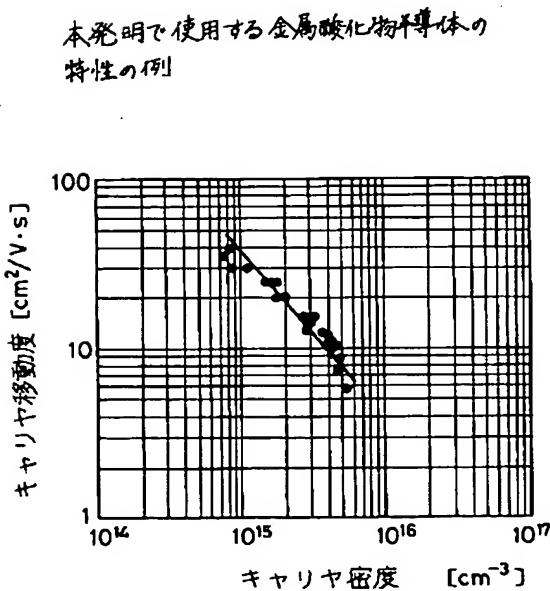
【図1】



【図2】

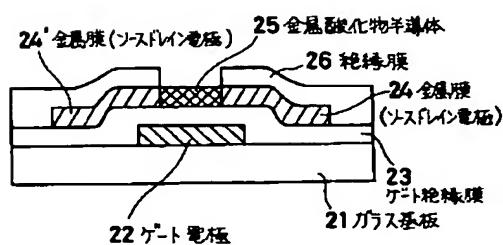


【図3】



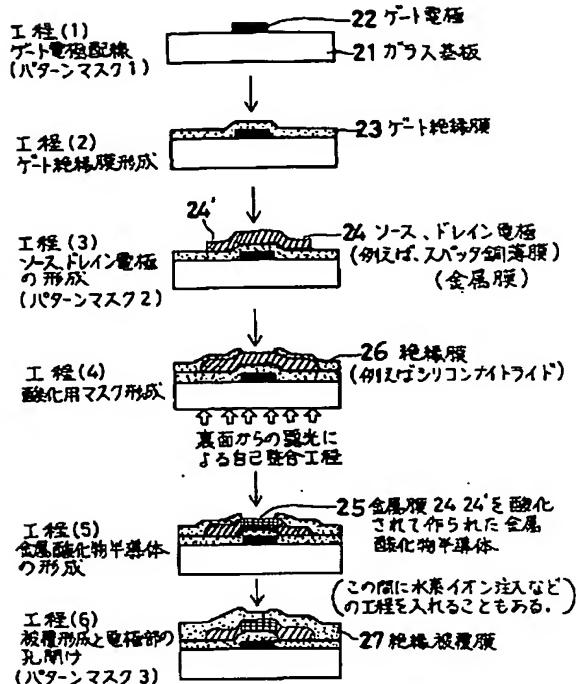
【図4】

本発明の実施例 1



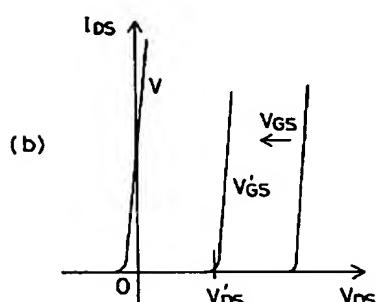
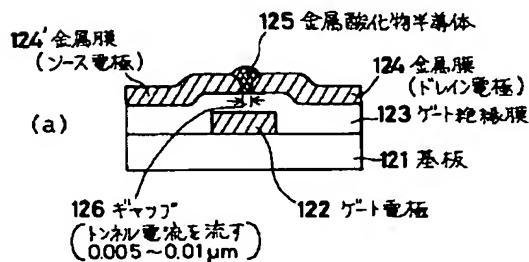
[図5]

本発明の実施例1の製造方法



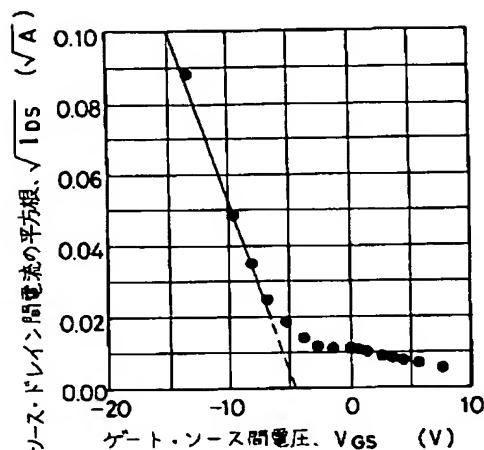
[図8]

本発明の実施例 3



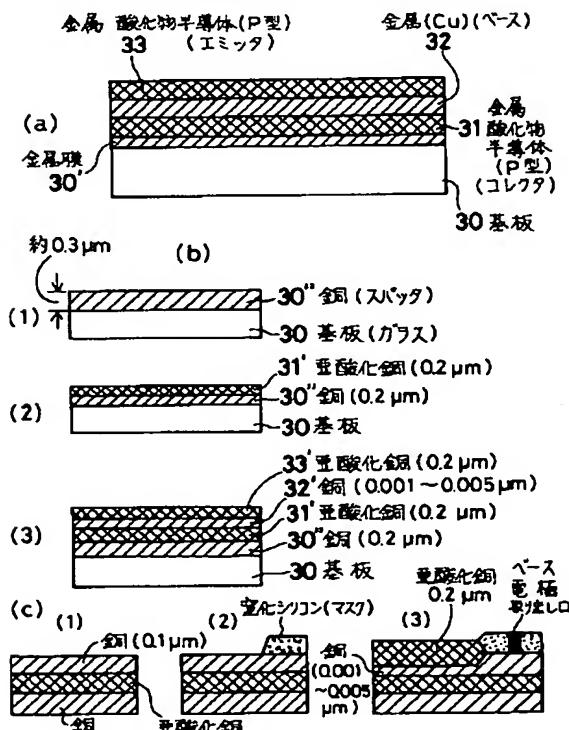
[图6]

本発明の実施例1の特性の例



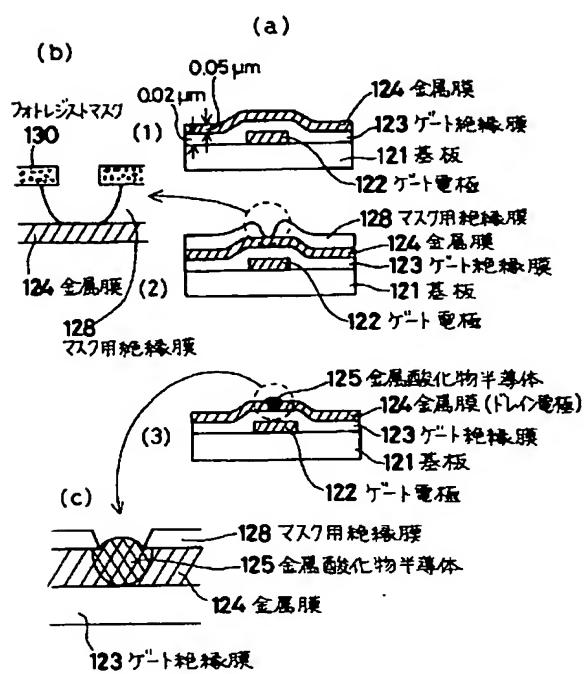
〔図7〕

本発明の実施例 2 (メタルベーストランジスタ)

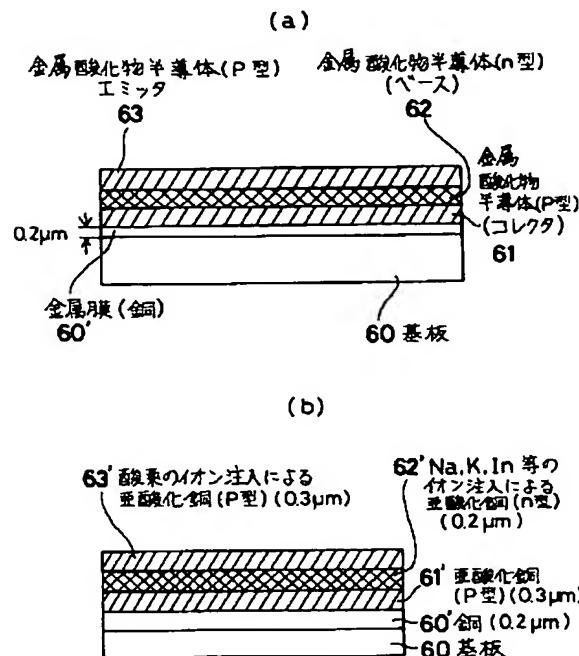


【図9】

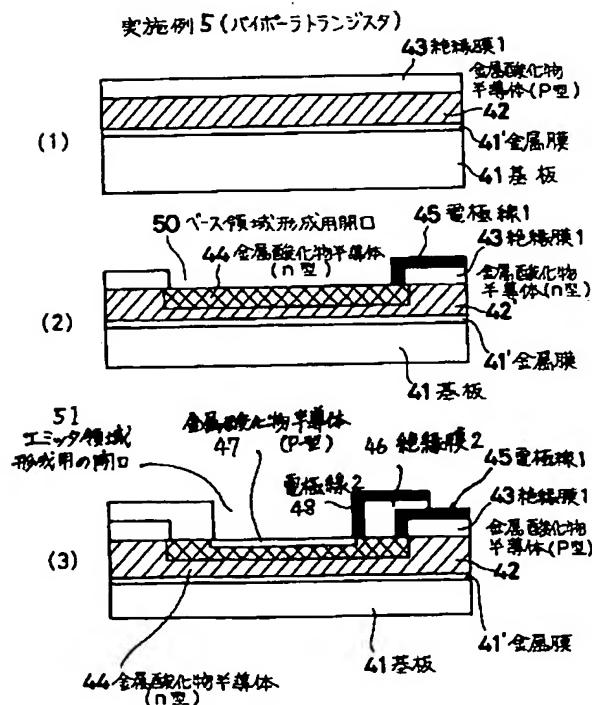
本発明の実施例13の製造方法



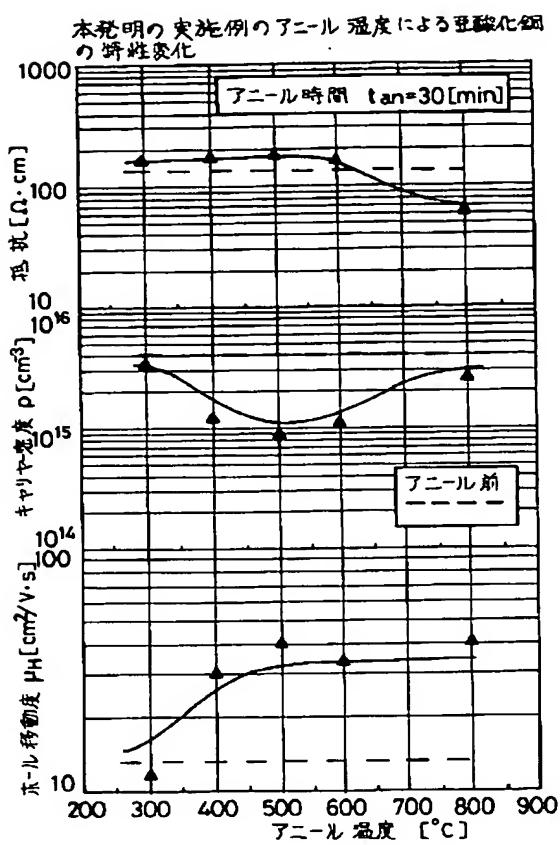
【図10】

本発明の実施例4
(バイポーラトランジスタ)

【図12】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.